

# DERS TANITIM ve UYGULAMA BİLGİLERİ

Dersin Adı	Kodu	Yarıyıl	T+U+L (saat/hafta)	Türü (Z / S)	Yerel Kredi	AKTS
Mantık Devreleri Tasarımı	CMPE 243	Güz	02+02+00	Seçmeli	3	5
Akademik Birim:	Bilgisayar Mühendisliği					
Öğrenim Türü:	Örgün Eğitim					
Ön Koşullar	-					
Öğrenim Dili:	İngilizce					
Dersin Düzeyi:	Lisans					
Dersin Koordinatörü:	Taner ARSAN					
Dersin Amacı:	Bu ders, Boole cebirini ve mantık devreleri için temel analiz ve sentez yöntemlerini proje tabanlı bir bağlamda tanıtmayı amaçlamaktadır. Hem kombinezonsal hem de ardışıl devreler çeşitli tasarım örneklerinde ele alınmıştır.					
Dersin İçeriği:	Sayı sistemleri; Boole cebri; mantık ağları ve indirgenmesi; kapılar ve MSI yongaları ile mantıksal tasarım teknikleri; kombinezonsal devreler; temel ardışıl devreler; D/A ve A/D dönüşümü; tasarım örnekleri.					
Dersin Öğrenme Çıktıları (ÖÇ):	<ul style="list-style-type: none"><li>1- Sık kullanılan sayısal elektronik devre elemanlarının çalışma prensiplerini kavrama</li><li>2- Temel sayısal elektronik devre analiz yöntemlerini uygulayabilme</li><li>3- Bu elemanları kullanarak, basit elektronik devrelerini analiz edip tasarlayabilme ve gerçekleştirebilme; bu amaç için gerekli temel ölçü aletleri ve gereçleri kullanabilme</li><li>4- Boole cebirini ve mantık fonksiyonlarını kullanabilme, sadeleştirebilme ve devre şemalarını çıkartabilme</li><li>5- Kombinezonsal ve ardışıl temel mantık işlevlerini devre şeması düzeyinde çözümlenebilme ve sentezlenebilme</li><li>6- Temel mantık yapıları ve diğer MSI yongalarını kullanarak karmaşık Boole işlevlerini ile ilgili devreleri tasarlayabilme, projelendirebilme ve gerçekleştirebilme</li></ul>					
Dersin Öğrenme Yöntem ve Teknikleri	Proje-tabanlı eğitim, Proje raporu, Proje sunumu, C.A.D.E.T. üzerinde devre kurma, Simulatorler: Logisim, Logic.ly and MATLAB-Simulink					

## HAFTALIK PROGRAM

Hafta	Konular	Ön Hazırlık
1	Giriş, sayı sistemleri, tümleyen aritmetiği, kodlar	
2	Boole cebirinin aksiyomatik tanımı Temel teoremler, kanonik ve standart biçimler, Temel Mantık Kapıları AND, OR, NOT, EXOR, EXNOR.	Simülasyon ve tasarım araçları, , C.A.D.E.T.
3	Proje I (Basic application with Combinational Logic Circuit and implementation)	
4	Mantık fonksiyonlarının indirgenmesi, NAND ve NOR kapıları ile gerçekleştirme	Simülasyon ve tasarım araçları
5	Hata bulma ve düzeltme, MSI yongaları ile tasarım örnekleri	
6	Toplayıcılar, Çıkartma devreleri, karşılaştırıcılar ve kod çeviriciler	
7	Proje II (Sequential Logic Project), Proje I Sunumlar	Simülasyon ve tasarım araçları
8	Çoklayıcılarla mantık fonksiyonlarının gerçekleştirilmesi	
9	ROM devreleriyle mantık fonksiyonlarının	

	gerçeklenmesi	
10	Ardışıl Devreler: Flip-flop'lar	
11	Final Projesi (Industry Project), Proje II Sunumları	Simülâtör ve tasarım araçları
12	Ardışıl Devre Analizi	
13	Senkron Ardışıl Devre Tasarımı	
14	Dönem Değerlendirmesi	

Kadir Has Üniversitesi'nde bir dönem 14 haftadır, 15. ve 16. hafta sınav haftalarıdır.

## ZORUNLU ve ÖNERİLEN OKUMALAR

Ders Notları (Learn),  
M. Morris Mano, Digital Design, Prentice Hall Int. Inc., 2th Edition, 1991, ISBN: 81-203-0835-2.

## DİĞER KAYNAKLAR

1- Digital Design, M.Morris Mano, Michael D. Ciletti, Prentice Hall Int. Inc., 4th Edition, 2007, ISBN: 0-13-198924-3.  
2- Digital Design with RTL Design, VHDL & Verilog, Frank Vahid, Wiley, Second Edition, 2011, ISBN: 978-0-470-53108-2.  
3-Lojik Devre Tasarımı, Taner Arsan, Rifat Çölkesen, Papatya Yayıncılık, 2.Baskı, 2007, ISBN: 978-975-6797-07-5.

## DEĞERLENDİRME SİSTEMİ

Yarıyıl İçi Çalışmaları	Sayı	Katkı Payı (%)
Proje	3	30
Sunum/Jüri	3	30
Proje Raporları	3	20
Proje Sunumları (Öğretim Elemanı tarafından değerlendirilme)	3	20
<b>Total:</b>	<b>12</b>	<b>100</b>

## İŞ YÜKÜ HESAPLAMASI

Etkinlikler	Sayısı	Süresi (saat)	Toplam İş Yüğü (saat)
Ders Saati	14	2	28
Uygulama	14	2	28
Proje	3	8	24
Sunum/Jüriye Hazırlık	3	6	18
Sunum hazırlıkları (ders dışı)	3	1	3
Sunum	3	4	12
Proje Raporlarının Sunumu	3	4	12

Toplam İş Yüğü (saat):

125

1 AKTS = 25 saatlik iş yüğü

### PROGRAM YETERLİLİKLERİ (PY) ve ÖĞRENME ÇIKTILARI (ÖÇ) İLİŞKİSİ

#	PY1	PY2	PY3	PY4	PY5	PY6	PY7	PY8	PY9	PY10	PY11	PY12
OC1												
OC2												
OC3												
OC4												
OC5												
OC6												

**Katkı Düzeyi:** 1 Düşük, 2 Orta, 3 Yüksek